

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-008421

(43)Date of publication of application : 10.01.2003

(51)Int.Cl.

H03K 19/0175
H03H 11/30
H04L 25/02

(21)Application number : 2001-187499

(71)Applicant : NEC CORP

(22)Date of filing : 21.06.2001

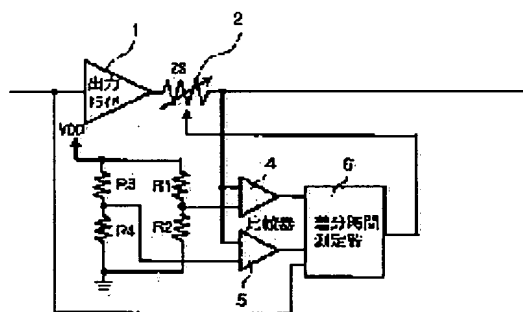
(72)Inventor : KOBAYASHI HIDEAKI

(54) IMPEDANCE MATCHING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To solve problems of a conventional impedance matching circuit that has increased power consumption because of adoption of a receiver side termination method where a current is always supplied from a transmitter side to a termination resistor and cannot have monotonously change an input signal waveform of the receiver because the conventional circuit monotonously changes a voltage around a $V_S/2$ (V_S is an H level output voltage) of an output driver.

SOLUTION: A differential time measurement device 6 respectively detects a time t_1 until an output voltage of an output impedance adjustment device 2 reaches a voltage slightly lower than the $V_S/2$ from zero and a time t_2 until the output voltage of the output impedance adjustment device 2 reaches a voltage slightly higher than the $V_S/2$ from zero and respectively compares the detection times t_1 , t_2 with a reference time A. The reference time A is a rising time of the output driver 1 from 0 to the V_S at no load and measured in advance. The differential time measurement device 6 controls an output impedance Z_S of the output impedance adjustment device 2 in response to the comparison results between the time t_1 and the reference time A and between the time t_2 and the reference time A. The differential time measurement device 6 finds out the output impedance Z_S by which the time t_1 is shorter than the reference time A and the time t_2 is longer than the reference time A.



LEGAL STATUS

[Date of request for examination] 28.05.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本特許庁 (P) (12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-8421
(P2003-8421A)

(43) 公開日 平成15年1月10日 (2003.1.10)

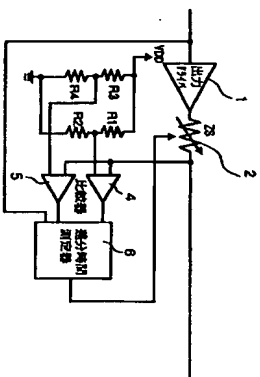
(51) Int. Cl. ⁷	識別記号	フィコード(参考)
H03K 19/0175	P 1	5 J 0 5 6
H03H 11/30	H03H 11/30	F 5 J 0 9 8
H04L 25/02	H04L 25/02	1 0 1 Q 5 K 0 2 9

審査請求 有 請求項の数 6 OL (全 10 頁)

(21) 出願番号	特願2001-187494 (P2001-187499)	(71) 出願人	00004237 日本電気株式会社
(22) 出願日	平成13年6月21日 (2001.6.21)	(72) 発明者	小森 秀章 東京都港区芝5丁目7番1号 日本電気株式会社内 (74) 代理人 100086235 弁護士 松浦 兼行

(54) 発明の名称 インピーダンス整合回路

最終頁に続く



(57) 【要約】
【課題】 受信側で検出する方法は、送信側から検出に
常に電圧を流すため、消費電力の増大につながる。一
方、ドライバのV_S/2付近の電圧を準同期化させる送
米回路は、レシーバの入力信号波形を時間的に変化させ
られない。
【解決手段】 差分時間測定器6は、出力インピーダン
ス調整器7の出力電圧が0からV_S/2よりやや低い電
圧に達するまでの時間t₁、やや高い電圧に達するまで
の時間t₂をそれぞれ検出し、その検出時間t₁、t₂
と基準時間Aとを大小比較する。基準時間Aは、出力ド
ライバ1の無負荷時に、出力電圧が0からV_Sまで立ち
上がる、予め測定しておいた時間である。差分時間測定
器6は、t₁とA、及びt₂とAの比較結果に応じて出
力インピーダンス調整器2の2Sの値を制御する。差分
時間測定器6は時間t₁が基準時間Aより短く、時間t₂
が基準時間Aより長くなる出力インピーダンス2Sの
値を見つける。

【特許請求の範囲】

【請求項1】 ドライバの出力信号を送送路を介してレ
シーバへ供給する際に、前記ドライバの出力インピーダ
ンスを前記伝送路の特性インピーダンスに整合させるイ
ンピーダンス整合回路であって、
前記ドライバの出力端子と前記伝送路の間に接続され、
外部からの制御信号によりインピーダンスが可変調整さ
れる出力インピーダンス調整器と、
前記ドライバの出力インピーダンスと前記伝送路の特性
インピーダンスとが整合されている場合において、前記
ドライバへの立上がり信号入力時点から前記出力インピー
ダンス調整器の出力信号が階段波形部分に達するまで
の所定時間の直前の第1の時間における第1のレベルと、
該階段波形部分通過直後の第2の時間における第2
のレベルとを予め設定しており、インピーダンス整合の
ためのインピーダンス調整時に前記ドライバへの立上
り信号入力時点から前記出力インピーダンス調整器の出
力信号が前記第1のレベルに達した第1の時間を示す第
1の時間検出信号と前記第2のレベルに達した第2の時
間を示す第2の時間検出信号をそれぞれ出力する時間検
出手段と、

前記ドライバの出力インピーダンスと前記伝送路の特性
インピーダンスとが整合されている場合において、前記
ドライバへの立上がり信号入力時点から前記出力インピー
ダンス調整器の出力信号が階段波形部分内に達するま
での時間があるとして設定されており、前記時
間検出手段からの前記第1及び第2の時間検出信号が示
す第1の時間と前記基準時間との差分時間と前記第2
の時間と前記基準時間との差分時間をそれぞれ測定し、
該差分時間に基づき前記第1の時間が前記基準時間より
短く、かつ、前記第2の時間が前記基準時間より長くな
るように、前記出力インピーダンス調整器のインピーダ
ンスを調整する制御信号を前記出力インピーダンス調整
器へ出力する差分時間測定手段とを有することを特徴と
するインピーダンス整合回路。

【請求項2】 ドライバの出力信号を送送路を介してレ
シーバへ供給する際に、前記ドライバの出力インピーダ
ンスを前記伝送路の特性インピーダンスに整合させるイ
ンピーダンス整合回路であって、
前記ドライバの出力端子と前記伝送路の間に接続され、
外部からの制御信号によりインピーダンスが可変調整さ
れる出力インピーダンス調整器と、
前記ドライバの出力インピーダンスと前記伝送路の特性
インピーダンスとが整合されている場合において、前記
ドライバへの立上がり信号入力時点から前記出力インピー
ダンス調整器の出力信号が階段波形部分に達するまで
の所定時間の直前の第1の時間における第1のレベルと、
該階段波形部分通過直後の第2の時間における第2
のレベルとを予め設定しており、インピーダンス整合の
ためのインピーダンス調整時に前記出力インピーダンス

(2) 特開2003-8421

調整器の出力信号が前記第1のレベルに達したことを示
す第1の検出信号と前記第2のレベルに達したことを示
す第2の検出信号とをそれぞれ出力する検出回路と、
前記ドライバの出力インピーダンスと前記伝送路の特性
インピーダンスとが整合されている場合において、前記
ドライバへの立上がり信号入力時点から前記出力インピー
ダンス調整器の出力信号が階段波形部分内に達するま
での時間があるとして設定されており、前記ド
ライバの入力信号と前記検出回路からの前記第1及び第
2の検出信号とに基づき、前記出力インピーダンス調整
器の出力信号が前記ドライバへの立上がり信号入力時点
から前記第1のレベルに達するまでの第1の時間と前記
第2のレベルに達するまでの第2の時間を検出し、これ
ら第1及び第2の検出時間と前記基準時間との差分時間
を測定し、該差分時間に基づき前記第1の時間が前記基
準時間より短く、かつ、前記第2の時間が前記基準時
間より長くなるように、前記出力インピーダンス調整器
のインピーダンスを調整する制御信号を前記出力インピー
ダンス調整器へ出力する測定手段とを有することを特徴と
するインピーダンス整合回路。

【請求項3】 前記検出回路は、前記ドライバの出力カ
インピーダンスと前記伝送路の特性インピーダンスとが整
合されている場合において、前記ドライバへの立上がり
信号入力時点から前記出力インピーダンス調整器の出力
信号が階段波形部分に達するまでの所定時間の直前の第
1の時間における第1のレベルの電圧を発生する第1の時
間の電圧発生回路と、該階段波形部分通過直後の第2の時
間における第2のレベルの電圧を発生する第2の電圧発生
回路と、インピーダンス整合のためのインピーダンス調
整時に前記出力インピーダンス調整器の出力信号と前記
第1の電圧発生回路からの電圧とを比較して前記第1の
検出信号を出力する第1の比較器と、インピーダンス整
合のためのインピーダンス調整時に前記出力インピーダ
ンス調整器の出力信号と前記第2の電圧発生回路からの
電圧とを比較して前記第2の検出信号を出力する第2の
比較器とを有することを特徴とする請求項2記載のイン
ピーダンス整合回路。

【請求項4】 前記測定器は、前記ドライバの無負荷時
に、前記出力インピーダンス調整器の出力信号が前記ド
ライバへの立上がり信号入力時点からHレベル又はLレ
ベルに達するまでの時間を前記基準時間として設定して
いることを特徴とする請求項2又は3記載のインピーダ
ンス整合回路。

【請求項5】 前記測定器は、前記第1の時間が前記基
準時間より長いときには前記出力インピーダンス調整器
のインピーダンスを小さくし、前記第2の時間が前記基
準時間より短いときには前記出力インピーダンス調整器
のインピーダンスを大きくするように前記出力インピー
ダンス調整器のインピーダンスを調整することを特徴と
する請求項2乃至4のうちのいずれか一項記載のインピー

ゲンス整合回路。

【請求項6】 前記測定器は、前記出力インピーダンス調整器のインピーダンスを最小値に設定した後、前記第2の時間と前記第1の時間との時間差が、前記第1の時間よりも長くなるまで、前記出力インピーダンス調整器のインピーダンスを所定値ずつ増加させていき、その増加途中で前記出力インピーダンス調整器のインピーダンスが最大値に達したときには、該最大値のインピーダンスを前記出力インピーダンス調整器に設定することを特徴とする請求項2乃至4のうちのいずれか一項記載のインピーダンス整合回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はインピーダンス整合回路に係り、特に集積回路のドライバの出力電圧を感知して、伝送路に波形歪みを生じさせないようにドライバの出力インピーダンスを可変させることにより、伝送路との整合を実現するインピーダンス整合回路に関する。

【0002】

【従来の技術】 集積回路の出力ドライバ等の電子回路の出力電圧を伝送路に伝送する際に、伝送信号の波形歪みを無くすため、回路の出力インピーダンスと伝送路の特性インピーダンスとを整合させることが行われる。このインピーダンス整合方法には、抵抗で終端させる方法と終端。終端方法には、送信側で終端する方法と受信側で終端する方法がある。

【0003】 また、ドライバから出力される伝送路を経てレシーバに入力される電圧は、ドライバのスイッチオン時点から0VからドライバのHレベル出力電圧VSまで直線的に増加する波形ではなく、進行波と反射波によりHレベル出力電圧VSの半分の電圧VS/2で伝送路の長さに応じた時間継続する波形部分（過渡部分）を有する階段波形であることが知られており、この現象を利用してVS/2より高いHレベルの第1の基準電圧及びVS/2より低いレベルの第2の基準電圧と、ドライバ出力電圧とをそれぞれ比較し、その比較結果に基づきドライバの出力インピーダンスを調整するインピーダンス整合回路が従来より知られている。（特開2001-24491号公報、発明の名称「自己整合式デジタルドライバ回路」）。

【0004】 この従来回路は、デジタル伝送のインタフェース部で前段ドライバと出力インピーダンス部と出力インピーダンス制御部とを有し、出力インピーダンス部と出力インピーダンス制御部の両または一方に前段ドライバ出力電圧を入力するドライバ回路であって、上記前段ドライバ出力電圧と上記出力インピーダンス部の制御電圧を上記出力インピーダンス部に出力する出力インピーダンス制御部と、上記前段ドライバ出力電圧と上記制御電圧とを基に出力インピーダンスを設定する出力

(3)

特開2003-8421

インピーダンス部とを有する構成である。

【0005】 この従来回路によれば、伝送信号がレベルからHレベルへ切り替わる場合、Hレベルの第1の基準電圧と出力インピーダンス部の出力電圧とを比較し、その比較結果に基づいて出力インピーダンス部のインピーダンスを可変制御して適宜に単調な電圧上昇を得、更に出力インピーダンス部の出力電圧が第1の基準電圧より高くなると、出力インピーダンス部のインピーダンスを高くするように制御して、負荷を駆動している間、出力インピーダンス部の出力電圧を第1の基準電圧に等しい電圧に制御し、その後レシーバから全反射して戻ってくる反射波形状により出力インピーダンス部の出力電圧が第1の基準電圧の2倍の電圧付近に達すると、出力インピーダンス部の出力インピーダンスを更に高く、またはハインピーダンス状態に設定する。

【0006】 伝送信号がHレベルからLレベルへ切り替わる場合、レベルの第2の基準電圧と出力インピーダンス部の出力電圧とを比較し、その比較結果に応じて出力インピーダンス部のインピーダンスを可変制御して適宜に単調な電圧下降を得、以後上記のレベルからHレベルへの切り替わりと同様の出力インピーダンス制御が行われる。

【0007】

【発明が解決しようとする課題】 しかるに、上記の従来の受信側で終端する方法は、送信側から終端に常に電流を流すため、消費電力の増大につながるという問題がある。一方、特開2001-24491号公報記載の従来回路では、出力インピーダンス部の第1の基準電圧と第2の基準電圧の間の出力電圧波形部分において単調な電圧上昇又は単調な電圧降下を得られるようにドライバの出力インピーダンスを調整することで波形歪みを低減するものである。

【0008】 しかしながら、出力ドライバの出力インピーダンスと伝送路の特性インピーダンスが等しいというインピーダンス整合条件を満たしているときには、出力インピーダンスの出力電圧波形は、VS/2付近で階段部分を有する階段波形となるが、上記の従来の回路では、VS/2付近での階段部分を無くすような出力インピーダンス調整であるため、インピーダンス整合条件を悪化させるもので、ドライバの出力電圧波形が理想的に変化しても、伝送路を阻害したレシーバの入力電圧波形が理想的に変化する綺麗な波形が得られない。

【0009】 本発明は上記の点に鑑みられたもので、伝送路上の階段波形に注目し、伝送路の整合条件をドライバの出力電圧から判断し、安定動作・低消費電力が期待できるインピーダンス整合回路を提供することを目的とする。

【0010】 また、本発明の他の目的は、ドライバの出力インピーダンスの整合条件を満たすことにより、レシーバに単調的に流れる電圧を供給し得るインピーダンス整合回路を提供することにある。

5

整合回路を提供することにある。

【0011】

【課題を解決するための手段】 上記の目的を達成するため、第1の発明は、ドライバの出力電圧を伝送路を介してレシーバへ供給する際に、ドライバの出力インピーダンスを伝送路の特性インピーダンスに整合させるインピーダンス整合回路であって、ドライバの出力端子と伝送路の間に接続され、外部からの制御信号によりインピーダンスが可変調整される出力インピーダンス調整器と、ドライバの出力インピーダンスと伝送路の特性インピーダンスとが整合されている場合において、ドライバの立上がり信号入力時点から出力インピーダンス調整器の出力電圧が階段波形部分に達するまでの所定時間の直前の第1の時間における第1のレベルと、階段波形部分経過後の第2の時間における第2のレベルとを予め設定し、インピーダンス整合のためのインピーダンス調整時にドライバへの立上がり信号入力時点から出力インピーダンス調整器の出力電圧が第1のレベルに達した第1の時間と第2の時間とを示す第2の時間後出力電圧をそれぞれ出力する時間後出力手段、ドライバの出力インピーダンスと伝送路の特性インピーダンスとが整合されている場合において、ドライバへの立上がり信号入力時点から出力インピーダンス調整器の出力電圧が階段波形部分に達するまでの時間とを予め基準時間として設定されており、時間後出力手段からの第1及び第2の時間後出力電圧が示す第1の時間と基準時間との差分時間及び第2の時間と基準時間との差分時間をそれぞれ測定し、差分時間に基き第1の時間が基準時間より短く、かつ、第2の時間が基準時間より長くなるように、出力インピーダンス調整器のインピーダンスを調整する制御電圧を出力インピーダンス調整器へ出力する差分時間測定手段とを有する構成としたものである。

【0012】 また、上記の目的を達成するため、第2の発明は、ドライバの出力端子と伝送路の間に接続され、外部からの制御電圧によりインピーダンスが可変調整される出力インピーダンス調整器と、ドライバの出力インピーダンスと伝送路の特性インピーダンスとが整合されている場合において、ドライバへの立上がり信号入力時点から出力インピーダンス調整器の出力電圧が階段波形部分に達するまでの所定時間の直前の第1の時間における第1のレベルと、階段波形部分経過後の第2の時間における第2のレベルとを予め設定し、インピーダンス調整時にドライバへの立上がり信号入力時点から出力インピーダンス調整器の出力電圧が第1のレベルに達した第1の時間と第2の時間とを示す第2の時間後出力電圧をそれぞれ出力する時間後出力手段、ドライバの出力インピーダンスと伝送路の特性インピーダンスとが整合されている場合において、ドライバへの立上がり信号入力時点から出力インピーダンス調整器の出力電圧が階段波形部分に達するまでの時間とを予め基準時間として設定されており、時間後出力手段からの第1及び第2の時間後出力電圧が示す第1の時間と基準時間との差分時間及び第2の時間と基準時間との差分時間をそれぞれ測定し、差分時間に基き第1の時間が基準時間より短く、かつ、第2の時間が基準時間より長くなるように、出力インピーダンス調整器のインピーダンスを調整する制御電圧を出力インピーダンス調整器へ出力する差分時間測定手段とを有する構成としたものである。

【0013】 一般に、伝送路の整合条件はドライバの出力インピーダンスと伝送路の特性インピーダンスが等しい時である。この時、伝送路上に進行波として、信号電圧の半分の電圧が立ち、レシーバからの反射波で残り半分の電圧が加算された状態で、出力インピーダンス調整器の出力電圧が所定状態では、出力インピーダンス調整器の出力電圧がHレベル又はLレベルの中間レベル付近で発生する。逆にインピーダンス整合が取れていない状態では、出力インピーダンス調整器の出力電圧の階段波形部分はHレベル又はLレベルの中間レベル付近では発生しない。

20

【0014】 そこで、上記の第1及び第2の発明では、ドライバへの立上がり信号入力時点から出力インピーダンス調整器の出力電圧が階段波形部分に達するまでの所定時間の直前の第1の時間における第1のレベルと、階段波形部分経過後の第2の時間における第2のレベルとを予め設定しており、出力インピーダンス調整器の出力電圧がドライバへの立上がり信号入力時点から第1のレベルに達するまでの第1の時間と第2のレベルに達するまでの第2の時間とを抽出し、これら第1及び第2の抽出時間と、基準時間との差分時間を測定し、差分時間に基き第1の時間が基準時間より短く、かつ、第2の時間が基準時間より長くなるように、出力インピーダンス調整器のインピーダンスを調整する制御電圧を出力インピーダンス調整器へ出力することにより、出力インピーダンス調整器の出力電圧の階段波形部分がHレベル又はLレベルの中間レベル付近で発生するようにできる。

【0015】 ここで、上記の抽出回路は、ドライバの出力インピーダンスと伝送路の特性インピーダンスとが整合されている場合において、ドライバへの立上がり信号入力時点から出力インピーダンス調整器の出力電圧が階段波形部分に達するまでの所定時間の直前の第1の時間における第1のレベルの電圧を発生する第1の電圧発生回路と、階段波形部分経過後の第2の時間における第2のレベルの電圧を発生する第2の電圧発生回路と、イ

(4)

特開2003-8421

6

信号が階段波形部分内に達するまでの時間が予め基準時間として設定されており、ドライバの出力電圧と抽出回路からの第1及び第2の抽出電圧とに基づき、出力インピーダンス調整器の出力電圧がドライバへの立上がり信号入力時点から第1のレベルに達するまでの第1の時間と第2のレベルに達するまでの第2の時間を抽出し、これら第1及び第2の抽出時間と基準時間との差分時間を測定し、差分時間に基き第1の時間が基準時間より短く、かつ、第2の時間が基準時間より長くなるように、出力インピーダンス調整器のインピーダンスを調整する制御電圧を出力インピーダンス調整器へ出力する測定器とを有する構成としたものである。

【0013】 一般に、伝送路の整合条件はドライバの出力インピーダンスと伝送路の特性インピーダンスが等しい時である。この時、伝送路上に進行波として、信号電圧の半分の電圧が立ち、レシーバからの反射波で残り半分の電圧が加算された状態で、出力インピーダンス調整器の出力電圧が所定状態では、出力インピーダンス調整器の出力電圧がHレベル又はLレベルの中間レベル付近で発生する。逆にインピーダンス整合が取れていない状態では、出力インピーダンス調整器の出力電圧の階段波形部分はHレベル又はLレベルの中間レベル付近では発生しない。

【0014】 そこで、上記の第1及び第2の発明では、ドライバへの立上がり信号入力時点から出力インピーダンス調整器の出力電圧が階段波形部分に達するまでの所定時間の直前の第1の時間における第1のレベルと、階段波形部分経過後の第2の時間における第2のレベルとを予め設定しており、出力インピーダンス調整器の出力電圧がドライバへの立上がり信号入力時点から第1のレベルに達するまでの第1の時間と第2のレベルに達するまでの第2の時間とを抽出し、これら第1及び第2の抽出時間と、基準時間との差分時間を測定し、その差分時間に基き第1の時間が基準時間より短く、かつ、第2の時間が基準時間より長くなるように、出力インピーダンス調整器のインピーダンスを調整する制御電圧を出力インピーダンス調整器へ出力することにより、出力インピーダンス調整器の出力電圧の階段波形部分がHレベル又はLレベルの中間レベル付近で発生するようにできる。

【0015】 ここで、上記の抽出回路は、ドライバの出力インピーダンスと伝送路の特性インピーダンスとが整合されている場合において、ドライバへの立上がり信号入力時点から出力インピーダンス調整器の出力電圧が階段波形部分に達するまでの所定時間の直前の第1の時間における第1のレベルの電圧を発生する第1の電圧発生回路と、階段波形部分経過後の第2の時間における第2のレベルの電圧を発生する第2の電圧発生回路と、イ

ンピーダンス整合のためのインピーダンス調整時に出力インピーダンス調整器の出力信号と第1の電圧発生回路からの電圧とを比較して第1の検出信号を出力する第1の比較器と、インピーダンス整合のためのインピーダンス調整時に出力インピーダンス調整器の出力信号と第2の電圧発生回路からの電圧とを比較して第2の検出信号を出力する第2の比較器とよりなる。

【0016】また、上記の測定器は、ドライバの無負荷時に、出力インピーダンス調整器の出力信号がドライバへの立上がり信号入力時点からレベル又はレベルに達するまでの時間を基準時間として設定していることを特徴とする。この発明では、基準時間を、ドライバの負荷時にドライバへの立上がり信号入力時点から出力インピーダンス調整器の出力信号が階段状波形部分内に達するまでの時間に設定することができる。

【0017】また、本発明は上記の目的を達成するため、測定器は、第1の時間が基準時間より長いときには出力インピーダンス調整器のインピーダンスを小さくし、第2の時間が基準時間より短いときには出力インピーダンス調整器のインピーダンスを大きくするように出カインピーダンス調整器のインピーダンスを調整することと特徴とする。この発明では、第1の時間が基準時間より短く、また、第2の時間が基準時間より長くなるようなインピーダンス調整を行う。

【0018】更に、本発明は上記の目的を達成するため、上記の測定器は、出力インピーダンス調整器のインピーダンスを最小値に設定した後、第2の時間と第1の時間との時間差が、第1の時間よりも長くなるまで、出カインピーダンス調整器のインピーダンスを所定値ずつ増加させていき、その増加途中で出カインピーダンス調整器のインピーダンスが最大値に達したときには、最大値のインピーダンスを出カインピーダンス調整器に設定する構成としたものである。この発明では、出力インピーダンス調整器の出力信号に階段状波形が生じない場合は、最大値のインピーダンスを出カインピーダンス調整器に設定することができる。

【0019】

【発明の実施の形態】次に、本発明の一実施の形態について図面と共に説明する。図1は本発明になるインピーダンス整合回路の一実施の形態の回路図を示す。この実施の形態は、集積回路の出カドライバ1の出カインピーダンスを伝送路と整合させる回路で、出力ドライバ1は出力インピーダンス調整器2を介して伝送路（信号線）に接続されている。出力インピーダンス調整器2は、出カドライバ1の出カインピーダンスを調整して出力に接続される。伝送路と整合をとるためのものである。【0020】また、抵抗R1とR2の直列回路と、抵抗R3とR4の直列回路とが電圧電圧V/Dとグラウンドとの間に接続されている。比較器4は出力インピーダンス調整器2の出力電圧と、抵抗R1及びR2で抵抗分圧さ

れた電圧とを比較する構成とされており、同時に、比較器5は出力インピーダンス調整器2の出力電圧と、抵抗R3及びR4で抵抗分圧された電圧とを比較する構成とされている。更に、比較器4及び5の出力信号が差分時間測定器6を介して出力インピーダンス調整器2の制御端子に接続されている。【0021】図2は出力ドライバ1と伝送路の等価回路を示す。同図において、出力ドライバ1はレベル出力電圧V_Sの電圧源と出力インピーダンスZ_Sとで近似され、特性インピーダンスZ₀の伝送路8に接続される。ここで、スイッチ（図示せず）が入り、例えばHレベル（信号電圧V_S）の立上がり入力が入力出力ドライバ1にあるものとすると、この結果、伝送路8には、 $V_S \times Z_0 / (Z_S + Z_0)$ の電圧が発生し、伝送路8を進行波として進む。この進行波はレシーバ（図示せず）まで達すると、レシーバの入力インピーダンスは無抵抗に近いいため、全反射する。【0022】全反射の場合、レシーバの入力に発生する電圧は、進行波の電圧に同じ電圧の反対波が加算されるので、 $2 \times V_S \times Z_0 / (Z_S + Z_0)$ となる。これが進行波と反対波の合成波の電圧である。回路の整合条件では、合成波の電圧がV_Sと等しいので、 $V_S = 2 \times V_S \times Z_0 / (Z_S + Z_0)$ となり、この条件を満たす出力インピーダンスZ_Sと特性インピーダンスZ₀の関係は、 $Z_S = Z_0$ のときである。【0023】この整合条件を満たすときの出力ドライバ1の出力に現れる電圧の時間変化を図3に示す。同図に示すように、出力ドライバ1の出力電圧が0からV_Sまで立ち上がる時、初めに進行波の電圧、すなわちV_S/2の電圧まで立ち上がり、その後、反対波による電圧が加算されてV_Sの電圧が出力ドライバ1の出力に現れる。出力電圧がV_Sとなる時間は、信号が伝送路8を往復する時間である。【0024】ここで、出力ドライバ1の出力電圧が0からV_Sまで立ち上がる時の波形は、中間の電圧V_S/2である時間継続する階段波形となる。なお、この時の進行波の電圧が、V_S/2になるのは、Z_S=Z₀の条件から計算される。従って、電圧V_S/2で階段を作っている波形があれば、回路の整合条件を満たしている。なお、図3中、t1は出力電圧がV_S/2となる直前の時間、t2は直後の時間を示す。【0025】これに対して、Z_S>Z₀やZ_S<Z₀のような回路の整合条件を満たしていない時には、出力ドライバ1の出力電圧波形は、上記とは異なる波形を示す。このことについて説明するに、図4はZ_S>Z₀のときの出力ドライバ1の出力に現れる電圧の時間変化を示す。この場合は、反対波を繰り返してV_Sまで上がるの

で、最初に電圧がV_S/2に達する時間よりも早い時間で、すなわちV_S/2より低い電圧に最初の階段波形が現れ、V_S/2の電圧に階段波形は現れない。なお、図4中、t1は出力電圧がV_S/2となる直前の時間、t2は直後の時間を示す。【0026】図5はZ_S<Z₀のときの出力ドライバ1の出力に現れる電圧の時間変化を示す。この場合は、反対波の影響で被打った波形となる。このときは最初に電圧がV_S/2に達する時間よりも遅い時間で、すなわちV_S/2より高い電圧に最初の階段波形が現れ、V_S/2の電圧に階段波形は現れない。なお、t1は出力電圧がV_S/2となる直前の時間、t2は直後の時間を示す。【0027】以上の図3乃至図5から、V_S/2の電圧に階段波形が現れるように、出力インピーダンスZ_Sを調整すれば、その回路は整合条件を満たすことがわかる。そこで、本発明では、V_S/2の少し下の電圧を通過する時間t1とV_S/2の少し上の電圧を通過する時間t2の2つの時間がインポートを監視することで、出力ドライバ1のインピーダンスZ_Sを伝送路の特性インピーダンスZ₀と整合させようとするものである。【0028】図1は上記の原理に従って、出力ドライバ1の出力インピーダンスを伝送路の特性インピーダンスと整合させる整合回路で、設定電圧であるV_S/2より少し上の電圧（時間t2の設定電圧）は、抵抗R1とR2の抵抗分圧により作成している。また、設定電圧であるV_S/2より少し下の電圧（時間t1の設定電圧）は抵抗R3とR4の抵抗分圧により作成している。更に、比較器3は、時間t2の設定電圧と出力端子に現れる電圧を比較し、比較器5は、時間t1の設定電圧と出力端子に現れる電圧を比較する。これらの比較器4及び比較器5は、出力端子に現れる電圧が設定電圧以上の時にHレベルを出カする。【0029】また、差分時間測定器6は、出力ドライバ1の入力信号の立ち上がり開始時点から出力インピーダンス調整器2の出力電圧が、それぞれ時間t1の設定電圧、時間t2の設定電圧に立ち上がるまでの時間t1、t2を求め、その値から、出力インピーダンス調整器2で出力インピーダンスZ_Sを可変する信号を、出力インピーダンス調整器2の制御端子へ出カする。【0030】次に、図1の実施の形態の動作について、図6のフローチャート等を併せて参照して説明する。まず、レベルにある出力ドライバ1に信号電圧V_SのHレベル信号が入力されたものとすると、差分時間測定器6は、その入力時点から比較器5の出力信号がHレベルに達するまでの時間t2を計測し、出力インピーダンス調整器2の出力電圧が0からV_S/2よりやや低い電圧に達するまでの時間t1を検出し、その検出時間t1と基準時間Aとを大小比較する（ステップS1）。ここで、基準時間Aは、出力ドライバ1の無負荷時に、出力電圧が0からV_Sまで立ち上がる、予め測定しておいた時間であ

る。この基準時間Aは、通常、出力ドライバ1の負荷時の出力電圧が立ち上がってからV_S/2付近の階段波形部分までに達している時間に相当する。

【0031】差分時間測定器6は、t1がAより長ければ出力インピーダンスZ_Sの値を小さくする制御信号を出カインピーダンス調整器2へ供給し（ステップS2）、その出力インピーダンスZ_Sが前回までの値よりも小さい最小値であるかどうか判定し（ステップS3）、最小値でなければ、再びステップS1に戻って時間t1と基準時間Aとの大小比較を行うが、最小値であれば、そのときの値を出カインピーダンスZ_Sとして決定する（ステップS4）。上記の出力インピーダンス調整器2のインピーダンス調整により、時間t1が基準時間Aに近づくか、基準時間Aより短くなる。

【0032】他方、差分時間測定器6は、時間t1が基準時間A以下であるときには、信号入力時点から比較器4の出力信号がHレベルに達するまでの時間に基づき、出力インピーダンス調整器2の出力電圧が0からV_S/2よりやや高い電圧に達するまでの時間t2を検出し、その検出時間t2と基準時間Aとを大小比較する（ステップS5）。

【0033】続いて、差分時間測定器6は、時間t2が基準時間Aより短ければ出力インピーダンスZ_Sの値を大きくする制御信号を出カインピーダンス調整器2へ供給し（ステップS6）、その出力インピーダンスZ_Sが前回までの値よりも大きい最大値であるかどうか判定し（ステップS7）、最大値でなければ、再びステップS2に戻って時間t2と基準時間Aとの大小比較を行うが、最大値であれば、そのときの値を出カインピーダンスZ_Sとして決定する（ステップS8）。上記の出力インピーダンス調整器2のインピーダンス調整により、時間t2が基準時間Aに近づくか、基準時間Aより長くなる。

【0034】このようにして、差分時間測定器6は時間t1が基準時間Aより短く、時間t2が基準時間Aより長くなる出力インピーダンスZ_Sの値を見つける。これにより、出力インピーダンス調整器2の出力信号の階段状波形部分がV_S/2付近になるため、結果として、出力ドライバ1の出力インピーダンスZ_Sを伝送路の特性インピーダンスZ₀と整合させることができる。

【0035】図7はZ_S=Z₀となる出力インピーダンスZ_Sに調整できたときのオシロスコープで、図7（A）に示す信号が出力ドライバ1及び出力インピーダンス調整器2から出力される場合、比較器5から時間t1で図7（B）に示すようにHレベルの信号が出カされ、続いて比較器4から時間t2で図7（C）に示すようにHレベルの信号が出カされる。また、図7（D）は出力インピーダンス調整器2の出力信号のV_S/2付近の階段状波形部分の長さの信号であり、ある長さのこの階段状波形部分が得られるように（調整すると、出力インピ

ードンス調整器2の出力信号の階段波形部分がVS/2付近になるように、出力インバータンスZSを調整することにより、出力ドライバ1と伝送路の整合条件を満たすことができる。

【0036】これに対し、ZS>Z0の場合の出力ドライバ1及び出力インバータンス調整器2の出力信号は、図8(A)に示すようになり、比較器5から図8(B)に示す信号が得られ、比較器4から図8(C)に示す信号が取り出されるので、出力インバータンス調整器2の出力信号のVS/2付近の階段波形部分の長さを示す信号は図8(D)に示すように、その継続時間が短くなり、

【0037】同様、ZS<Z0の場合の出力ドライバ1及び出力インバータンス調整器2の出力信号は、図9(A)に示すようになり、比較器5から図9(B)に示す信号が得られ、比較器4から図9(C)に示す信号が取り出されるので、出力インバータンス調整器2の出力信号のVS/2付近の階段波形部分の長さを示す信号は図9(D)に示すように、その継続時間が短くなり、

【0038】しかしながら、上記の短い継続時間内でZS>Z0及びZS<Z0の場合は、図6に示したフローチャートに基く動作により、本実施の形態によれば、出力インバータンス調整器2の出力信号の階段部分がVS/2付近になるように出力インバータンス調整器2のインピーダンスを調整することにより、ZS=Z0を満足するように調整できる。なお、出力インバータンス調整器2の出力信号の階段波形部分がVS/2付近になることにより、レベルの入力信号波形は単純に増加する綺麗な波形となる。

【0039】次に、本発明の他の実施の形態について説明する。この実施の形態では、まず、差分時間測定器6は出力インバータンス調整器2のインピーダンスを最小値に調整する(ステップS11)。続いて、差分時間測定器6は、入力信号の立上がり時点から比較器5からHレベルの信号が入力されるまでの時間t1と、入力信号の立上がり時点から比較器4からHレベルの信号が入力されるまでの時間t2との時間差(t2-t1)が、時間t1より大きくなるまで、ZSの値を所定値αずつ増やしていく(ステップS12、S13、S14)。

【0040】このようにして、出力インバータンス調整器2の出力信号のVS/2付近の階段波形部分を見付け、上記の時間差(t2-t1)が時間t1より大きくなった時点でインピーダンスZSの調整を終了する。通常、このときには、ZSは最大値未満である。

【0041】なお、伝送路の長さが短く、伝送に要する時間が、信号の立上がり時間に比べて少ない場合、出力ドライバ1の出力に現れる電圧に階段波形がほとんどない。この場合は、ドライバ能力は少なくても差し支えないので、出力インピーダンスZSが最大になったことが

検出された時に(ステップS13)、インピーダンス調整処理を止め、ZSに最大値を設定する(ステップS15)。ZSを最大値にしたのは、消費電力を抑えるためである。

【0042】なお、本発明は以上の実施の形態に限定されるのではなく、例えば、出力ドライバ1にレベル(GND)の立上がり入力があったときには、図3乃至図5や図7乃至図9に示したドライバ出力信号波形がVSから0V方向へ立下がる点があり、よって時間t1、t2はドライバ出力信号レベルがVS/2よりやや高い電圧、VS/2よりやや低い電圧に達する時間に設定される点が上記の実施の形態と異なるだけで、原理的には上記の実施の形態と同様の動作により、出力インバータンスの整合条件を満足するような出力インバータンスの調整ができる。なお、本明細書において、ドライバへの立上がり入力はレベルへの立下がり入力も包含する。

【0043】
【発明の効果】以上説明したように、本発明によれば、出力インバータンス調整器の出力信号の階段波形部分がHレベル又はLレベルの中間レベル付近で発生するようにしたため、伝送路を伝送路が特長により、ドライバの出力インピーダンスと伝送路の特性インピーダンスとの整合を自動的にとることができ、これにより、速度変化や電圧変化によってドライバの内部インピーダンスが変わって伝送路との整合状態からずれた場合でも、安定なインピーダンス整合動作と低消費電力化を実現できる。

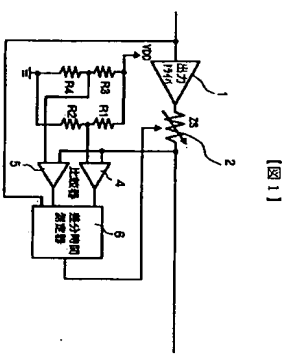
【0044】また、本発明によれば、出力インバータンス調整器の出力信号の階段波形部分がHレベル又はLレベルの中間レベル付近で発生するようにしたため、レベルの入力信号波形を単純化にすることができ、

【0045】更に、本発明によれば、伝送路の長さが短く、伝送に要する時間が信号の立上がり(立下がりを含む)時間に比べて少なく、出力インバータンス調整器の出力信号に階段波形が生じない場合は、最大値インピーダンスを出力インバータンス調整器に設定するようにしたため、消費電力を低減できる。

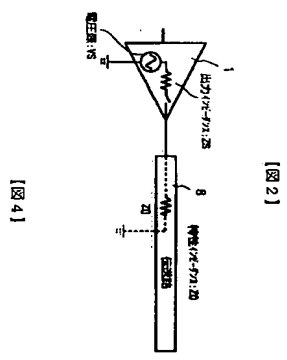
【図面の簡単な説明】
【図1】本発明の一実施の形態の回路図である。
【図2】出力ドライバと伝送路の等価回路図である。
【図3】ZS=Z0時の出力インピーダンス調整器の出力電圧のタイムチャートである。
【図4】ZS>Z0時の出力インピーダンス調整器の出力電圧のタイムチャートである。
【図5】ZS<Z0時の出力インピーダンス調整器の出力電圧のタイムチャートである。
【図6】本発明の一実施の形態における差分時間測定器の動作説明用フローチャートである。

【図7】t1がAより短く、t2がAより長くなるZSの値を見つけたときの図1の各部のタイムチャートである。

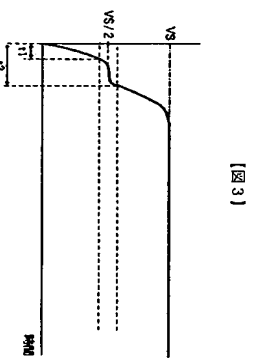
【図8】t1がAより短く、t2がAより長くなるZSの値を見つけたとき、ZS>Z0の場合の図1の各部のタイムチャートである。
【図9】t1がAより短く、t2がAより長くなるZSの値を見つけたとき、ZS<Z0の場合の図1の各部のタイムチャートである。
【図10】本発明の他の実施の形態における差分時間測定器の動作説明用フローチャートである。



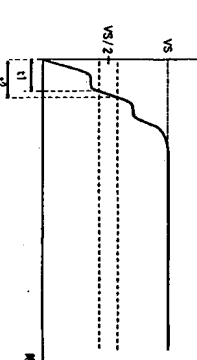
【図1】



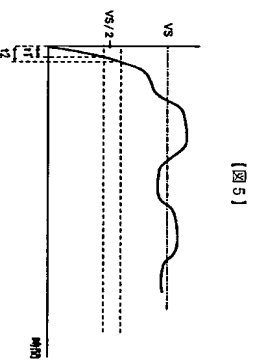
【図2】



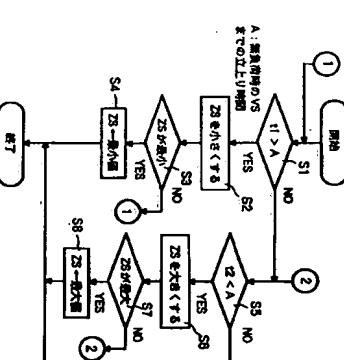
【図3】



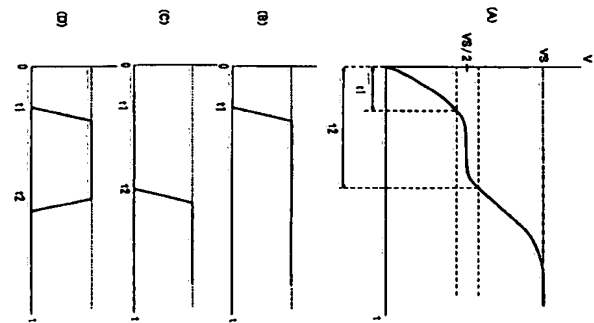
【図4】



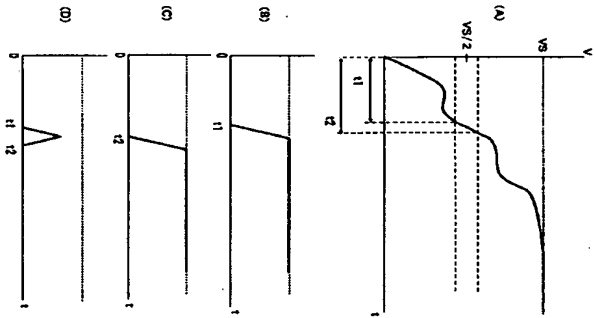
【図5】



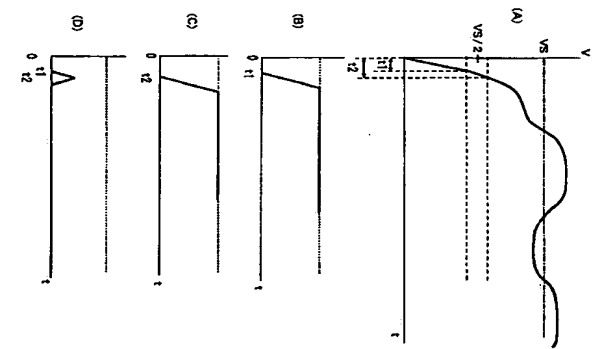
【図7】



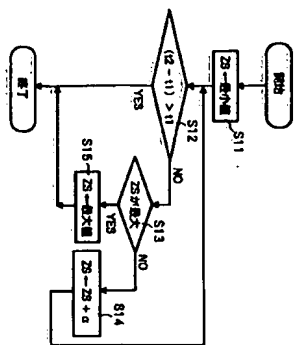
【図8】



【図9】



【図10】



フロントページの続き

Fターム(参考) 5J056 AA04 AA40 BB17 CC09 FF08
G009
5J038 AA11 AA12 AB01 AB10 AB16
A006 AC09 AC17 AC27 AD18
A020 AD24
5K029 AA01 AA13 BB03 CC01 DD04
EE01 FF01